

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP61080863
Publication date: 1986-04-24
Inventor(s): MAEDA TAKEO
Applicant(s): TOSHIBA CORP
Requested Patent: JP61080863
Application Number: JP19840202710 19840927
Priority Number(s):
IPC Classification: H01L29/78 ; H01L21/28
EC Classification:
Equivalents: JP2567832B2

Abstract

PURPOSE: To obtain a semiconductor device in the structure wherein the wirings consisting of the polycrystalline silicon film for the source and the drain can be favorably ohmic- connected through the source and drain regions even when a low-temperature process to be accompanied by shallowing is applied, by a method wherein an impurity is ion-implanted in the surface of the substrate, the natural oxide film on the interfaces between the substrate and the polycrystalline silicon film are made to deteriorate or are broken, the polycrystalline silicon film is patterned and the wirings for the source and the drain are formed.

CONSTITUTION: A polycrystalline silicon film 10, which is used as a wiring material film, is deposited on an SiO₂ film 8, which is formed by a CVD method and has contact holes 9 opened thereon, and after that, phosphorus is ion-implanted in the surface of a substrate 1 through parts of the polycrystalline silicon film 10, which are being deposited in the contact holes 9, to break the natural oxide films on the interfaces between the substrate 1 and the polycrystalline silicon film 10 and the polycrystalline silicon film 10 is patterned. By this way, wirings 11 and 12, which are favorably ohmic-connected through the n<+> type source region 6 and the contact hole 9 and through the n<+> type drain region 7 and the contact hole 9 without performing a high-temperature thermal treatment and consists of the polycrystalline silicon film, are formed and the n type channel MOS semiconductor device, which is high in integration degree and is capable to perform a high-speed operation, is obtained.

Data supplied from the esp@cenet database - I2

⑪ 公開特許公報 (A) 昭61-80863

⑤ Int.CI.

H 01 L 29/78
21/28

識別記号

厅内整理番号

8422-5F
7638-5F

⑩ 公開 昭和61年(1986)4月24日

審査請求 有 発明の数 1 (全5頁)

⑥ 発明の名称 半導体装置の製造方法

⑦ 特願 昭59-202710

⑧ 出願 昭59(1984)9月27日

⑨ 発明者 前田 健夫 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑩ 出願人 株式会社東芝 川崎市幸区堀川町72番地

⑪ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板正面に素子分離領域を選択的に形成する工程と、この素子分離領域で分離された基板の島領域にゲート絶縁膜を介して多結晶シリコンからなるゲート電極を形成する工程と、前記素子分離領域及びゲート電極をマスクとして第2導電型の不純物を前記島領域にドーピングして第2導電型のソース、ドレイン領域形成する工程と、このゲート電極を含む全面に脣間絶縁膜を形成する工程と、前記ソース、ドレイン領域に対応する前記脣間絶縁膜にコンタクトホールを開口する工程と、前記脣間絶縁膜上に多結晶シリコン膜を堆積し、不純物を少なくとも前記コンタクトホール内の多結晶シリコン膜部分を通して基板表面にイオン注入して基板と多結晶シリコン膜の界面の自然酸化膜を劣化乃至破壊するか、いずれにかによりソース、ドレインの配線を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

は前記脣間絶縁膜上に多結晶シリコン膜を堆積し、バターニングした後、不純物を少なくとも前記コンタクトホール内の多結晶シリコン膜部分を通して基板表面にイオン注入して基板と多結晶シリコンの界面の自然酸化膜を劣化乃至破壊するか、いずれにかによりソース、ドレインの配線を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 多結晶シリコン膜をバターニングする前に該多結晶シリコン膜上に金属膜又は金属シリサイド膜を被覆することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 不純物としてP、As、B、BF₂、Si及びArの少なくとも1種を用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) 不純物を半導体基板と多結晶シリコンとの界面にイオン注入する際、該界面における不純物の注入量が $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲に設定することを特徴とする特許請求の範

図第1項記載の半導体装置の製造方法。

(5) 不純物のイオン注入の後、熱処理を施すことと特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体装置の製造方法に關し、特にMIS型半導体装置のソース、ドレイン領域と多結晶シリコンからなる配線との接続工程を改良した方法に係わる。

(発明の技術的背景)

最近、半導体装置の高集積化の目的から多層配線技術が多く採用され、それに伴ってソース、ドレイン領域と接続する配線を多結晶シリコンにより形成したMOS型半導体装置が開発されている。こうした半導体装置（例えばnチャンネルMOS型半導体装置）は、従来、次のような方法によって製造されている。

まず、p型シリコン基板の正面に素子分離領域としてのフィールド酸化膜を形成した後、熱酸化

処理を施してフィールド酸化膜で分離された基板の島領域にゲート酸化膜を形成する。つづいて、全面にゲート電極材料膜である多結晶シリコン膜を堆積した後、該多結晶シリコン膜をバーニングしてゲート電極を形成する。ひきつづき、前記フィールド酸化膜及びゲート電極をマスクとしてn型不純物、例えばリンを基板の島領域にイオン注入し、活性化してn⁺型のソース、ドレイン領域を形成する。更に、全面に層間絶縁膜であるCVD-SiO₂膜を堆積し、前記ソース、ドレイン領域に対応するCVD-SiO₂膜にコンタクトホールを開口した後、全面に多結晶シリコン膜を堆積する。次いで、多結晶シリコン膜にリンの拡散又はイオン注入を行なった後、950℃以上の熱処理を施してコンタクトホール内のn⁺型ソース、ドレイン領域と多結晶シリコンとの界面に生成された自然酸化膜を熱的に破壊してそれらをオーミック接続する。この後、該多結晶シリコン膜をバーニングしてソース、ドレインの配線を形成する。

(背景技術の問題点)

ところで、MOS型半導体装置においては、集積度を向上する目的でソース、ドレイン領域がシャロー化され、これに伴ってソース、ドレイン領域の形成時の活性化のための熱処理温度が低温側に抑えられる傾向にある。このため、従来のような高温熱処理の適用は困難となり、その結果ソース、ドレイン領域と多結晶シリコンとの界面に生成された自然酸化膜を充分に破壊できなくなり、それら領域と多結晶シリコンからなる配線との間が非抵抗接続となる。

(発明の目的)

本発明は、シャロー化に伴う低温プロセスを適用した場合でもソース、ドレイン領域と多結晶シリコンからなる配線とを良好にオーミック接続し得る高集積度で高速動作が可能な半導体装置の製造方法を提供しようとするものである。

(発明の概要)

本発明は、第1導電型の半導体基板正面に素子分離領域を選択的に形成する工程と、この素子分

離領域で分離された基板の島領域にゲート絶縁膜を介して多結晶シリコンからなるゲート電極を形成する工程と、前記素子分離領域及びゲート電極をマスクとして第2導電型の不純物を前記島領域にドーピングして第2導電型のソース、ドレイン領域形成する工程と、このゲート電極を含む全面に層間絶縁膜を形成する工程と、前記ソース、ドレイン領域に対応する前記層間絶縁膜にコンタクトホールを開口する工程と、前記層間絶縁膜上に多結晶シリコン膜を堆積し、不純物を少なくとも前記コンタクトホール内の多結晶シリコン膜部分を通して基板表面にイオン注入し基板と多結晶シリコン膜の界面の自然酸化膜を劣化乃至破壊した後、該多結晶シリコン膜をバーニングするか、或いは前記層間絶縁膜上に多結晶シリコン膜を堆積し、バーニングした後、不純物を少なくとも前記コンタクトホール内の多結晶シリコン膜部分を通して基板表面にイオン注入して基板と多結晶シリコンの界面の自然酸化膜を劣化乃至破壊するか、いずれにかによりソース、ドレインの配線を

形成する工程とを具備したことを特徴とするものである。かかる本発明方法によれば、既述の如くシャロー化に伴う低温プロセスを適用した場合でもソース、ドレイン領域と多結晶シリコンからなる配線とを良好にオーミック接続し得る高集成度で高速動作が可能な半導体装置を得ることができる。

上記不純物としては、例えばP、As、B、BF₂、Si及びAlの少なくとも1種を使用できる。特に、導電性を与えないSiやAlはn⁺型及びp⁺型の両方のソース、ドレイン領域と多結晶シリコンとのオーミック接続に適用できる。

上記不純物をソース、ドレイン領域と多結晶シリコンとの界面にイオン注入する際には、ソース、ドレイン領域と多結晶シリコンとの間に生成された自然酸化膜を破壊して良好なオーミック接続を達成する観点から、前記界面における不純物のイオン注入量が $1 \times 10^{17} \text{ cm}^{-2}$ ～ $1 \times 10^{21} \text{ cm}^{-2}$ の範囲に設定することが望ましい。

図3を用いて形成した(第1図(a)図示)。つづいて、ドライ酸素雰囲気中で熱酸化処理を施してフィールド酸化膜2で分離された基板1の島領域表面に厚さ250Åのゲート酸化膜4を成長させた後、全面に厚さ3500Åの多結晶シリコン膜を堆積し、POCl₃の雰囲気下で多結晶シリコン膜にリン拡散を行ない該多結晶シリコン膜を低抵抗化させ、更にフォットエッチング技術により多結晶シリコン膜をバーニングしてゲート電極5を形成した。この後、フィールド酸化膜2及びゲート電極5をマスクとしてn型不純物、例えば砒素を加速電圧40keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入を行ない、活性化処理を施してn⁺型のソース、ドレイン領域6、7を前記島領域に形成した(同図(b)図示)。

次いで、全面に厚さ3000ÅのCVD-SiO₂膜8を堆積した後、前記ソース、ドレイン領域6、7に対応するCVD-SiO₂膜8にコンタクトホール9を開口した(同図(c)図示)。

なお、不純物のイオン注入後に前記自然酸化膜をより確実に破壊するために、950℃以下の温度で熱処理を施してもよい。

また、上記多結晶シリコン膜をバーニングする前に、配線の低抵抗化を目的として該多結晶シリコン膜上に金属や金属シリサイドの膜を被覆してもよい。かかる金属としては、例えばモリブデン、タンクスチタン、チタン、タンタル、白金等を、金属シリサイドとしては、例えばモリブデンシリサイド、タンクスチタンシリサイド、チタンシリサイド、タンタルシリサイド、白金シリサイド等を夫々挙げることができる。

(発明の実施例)

以下、本発明の実施例を第1図(a)～(d)を参照して詳細に説明する。

まず、比抵抗1～10Ω・cm、面方位(100)のn型シリコン基板1の正面にボロンのイオン注入技術及び選択酸化技術により素子分離領域としての厚さ4000Åのフィールド酸化膜2及び該フィールド酸化膜2下の基板表面のn型反転防止

つづいて、全面に厚さ2000Åの多結晶シリコン膜10を堆積した後、全面にリンを加速電圧160keV、ドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入した(同図(d)図示)。この時、コンタクトホール9内のソース、ドレイン領域6、7と多結晶シリコン膜10との界面には $5 \times 10^{20} \text{ cm}^{-2}$ の濃度のリンが注入され、それら界面の自然酸化膜が破壊された。ひきつづき、多結晶シリコン膜10をフォットエッチング技術によりバーニングして前記ソース、ドレイン領域6、7とコンタクトホール9を通して接続されたソース、ドレインの配線11、12を形成した(同図(e)図示)。

次いで、全面に保護膜としてのCVD-SiO₂膜13を堆積した後、900℃の熱処理を施した(同図(f)図示)。この後、常法に従ってCVD-SiO₂膜13にコンタクトホール(図示せず)を開口し、A₂膜の蒸着、バーニングにより前記ソース、ドレインの配線11、12とコンタクトホールを通して接続するA₂配線

を形成してnチャンネルMOS半導体装置を製造した。

しかし、本発明によればコンタクトホール9が開口されたCVD-SiO₂膜8上に配線材料膜としての多結晶シリコン膜10を堆積した後、リンを少なくとも前記コンタクトホール9内の多結晶シリコン膜10部分を通して基板1表面にイオン注入することによって、基板1と多結晶シリコン膜10の界面の自然酸化膜を破壊できる。その結果、該多結晶シリコン膜10をバターニングすることにより、高温熱処理(950℃以上)を施さずに、n⁺型のソース、ドレイン領域6、7とコンタクトホール9を通して良好にオーミック接続された多結晶シリコンからなる配線11、12を形成できる。従って、高集積度で、高速動作が可能なnチャンネルMOS半導体装置を得ることができる。

事実、本実施例の半導体装置において、ゲート電極5に閾値電圧以上の電圧を印加し、かつドレイン領域7に0~10Vの電圧を印加した時のD

レイン、ソース領域7、6間の電流I_{DS}を調べたところ、第2図に示すV-I特性図を得た。また、本実施例のようにコンタクトホール内の配線となる多結晶シリコン膜と基板の界面にリンのイオン注入を行なわない以外、実施例と同様な方法により製造されたnチャンネルMOS半導体装置について、同様にドレイン、ソース領域間の電流I_{DS}を調べたところ、第3図に示すV-I特性図を得た。この第2図及び第3図より明らかなる如く、本実施例で製造されたMOS半導体装置は、ドレイン領域への電圧印加がなされると、電流がリニアに流れる。これに対し、従来のMOS半導体装置では、ドレイン領域への印加電圧が6V以上にならなければ電流が流れない。これは、ドレイン、ソース領域と多結晶シリコンからなる配線とのコンタクト部に自然酸化膜が存在し、6V以上の電圧を印加した時、該自然酸化膜が電圧破壊されて電流が流れるからである。

なお、上記実施例では、nチャンネルMOS半導体の製造に適用した例について説明したが、p

チャンネルMOS半導体装置及び相補型MOS半導体装置の製造にも同様に適用できる。この場合、pチャンネルMOS半導体装置を製造する際には、多結晶シリコン膜を通して基板にイオン注入する不純物としては、ボロン等のp型不純物を使用することが必要である。また、相補型MOS半導体装置を製造する際には、各トランジスタのソース、ドレイン領域と同一導電型の不純物を使用するか、もしくはSiやAlを使用することが必要である。

上記実施例では、多結晶シリコンからなる配線をソース、ドレイン領域と接続する場合について説明したが、基板バイアスを与えるための該基板と同一導電型の拡散領域との接続にも同様に適用できる。

(発明の効果)

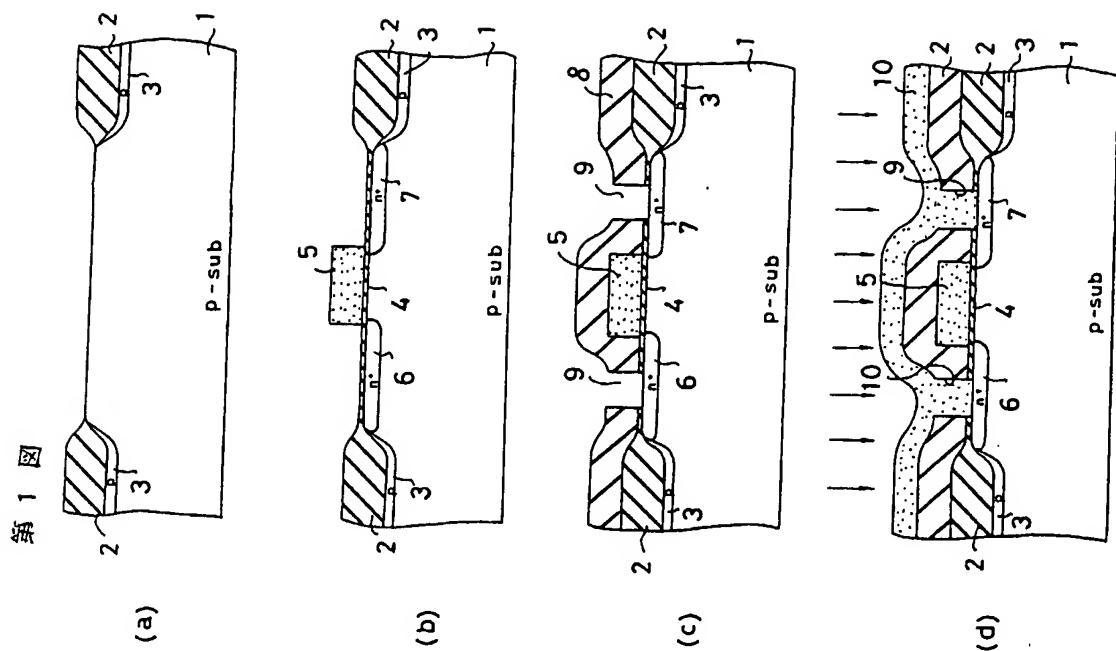
以上詳述した如く、本発明によればシャロー化に伴う低温プロセスを適用した場合でもソース、ドレイン領域と多結晶シリコンからなる配線とを良好にオーミック接続し得る高集積度で高速動作が可能な半導体装置製造方法を提供できる。

4. 図面の簡単な説明

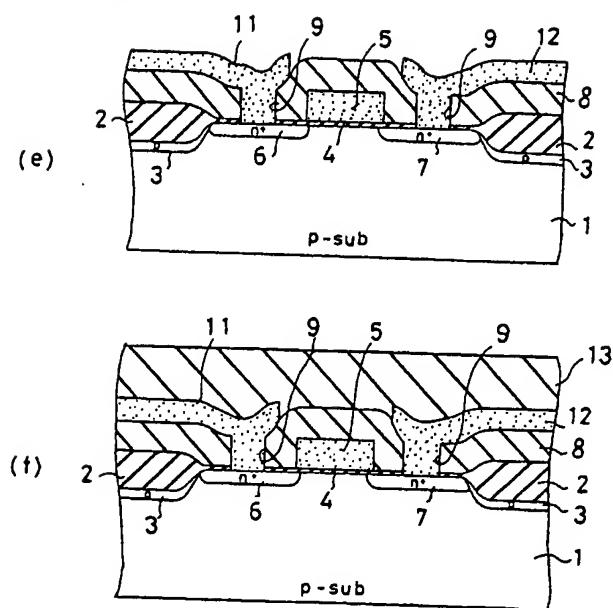
第1図(a)~(f)は本発明の実施例におけるnチャンネルMOS半導体装置の製造工程を示す断面図、第2図は本実施例のnチャンネルMOS半導体装置におけるV_D-I_{DS}の関係を示す特性図、第3図は従来のnチャンネルMOS半導体装置におけるV_D-I_{DS}の関係を示す特性図である。

1…p型シリコン基板、2…フィールド酸化膜、4…ゲート酸化膜、5…ゲート電極、6…n⁺型ソース領域、7…n⁺がたドレイン領域、8…CVD-SiO₂膜、9…コンタクトホール、11…多結晶シリコンからなるソース配線、12…多結晶シリコンからなるドレイン配線。

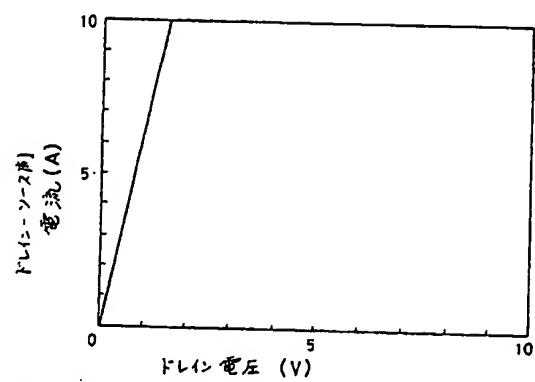
出願人代理人 弁理士 鈴江武彦



第1図



第2図



第3図

